

DERWENT-ACC-NO: 1999-030115

DERWENT-WEEK: 199903

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Tester for semiconductor device - includes trigger circuit that triggers driver circuit which inputs test signals to device to be tested for detecting quality of device

PATENT-ASSIGNEE: ANDO ELECTRIC CO LTD[ANDN]

PRIORITY-DATA: 1997JP-0114255 (April 16, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 10293156 A	November 4, 1998	N/A	007	G01R 031/26

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 10293156A	N/A	1997JP-0114255	April 16, 1997

INT-CL (IPC): G01R031/26, G01R031/30, H01L021/66

ABSTRACTED-PUB-NO: JP 10293156A

BASIC-ABSTRACT:

The tester includes a driver circuit (3) provided to supply various test signals to the device that is to be tested. The driver circuit is made to input the signals only when a trigger circuit (T) triggers the input. When the test signals are input to the device to be tested, the output signal is compared with a predetermined reference signal using a comparator circuit (4) to detect quality of device.

ADVANTAGE - Performs testing of several device simultaneously, thereby improving testing efficiency.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: TEST SEMICONDUCTOR DEVICE TRIGGER CIRCUIT TRIGGER DRIVE CIRCUIT

INPUT TEST SIGNAL DEVICE TEST DETECT QUALITY DEVICE

DERWENT-CLASS: S01 U11

EPI-CODES: S01-G01; S01-G02B; U11-F01D3;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1999-023201

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-293156

(43)公開日 平成10年(1998)11月4日

(51)Int.Cl.⁶

識別記号

F I

G 01 R 31/26

G 01 R 31/26

H

31/30

31/30

H 01 L 21/66

H 01 L 21/66

H

審査請求 未請求 請求項の数4 FD (全7頁)

(21)出願番号

特願平9-114255

(71)出願人 000117744

安藤電気株式会社

東京都大田区蒲田4丁目19番7号

(22)出願日 平成9年(1997)4月16日

(72)発明者 川合 敦之

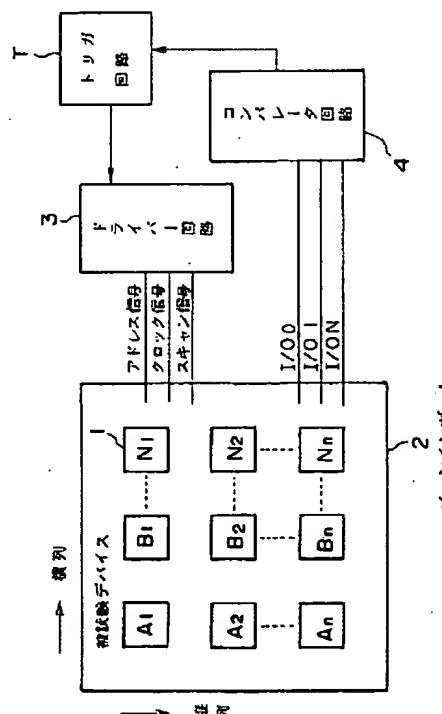
東京都大田区蒲田4丁目19番7号 安藤電
気株式会社内

(54)【発明の名称】 テストバーンインテスタ

(57)【要約】

【課題】 バーンインボード上の被試験デバイスあるいはテストバーンインテスタ側に異常があるのかの判断ができるテストバーンインテスタを提供すること。

【解決手段】 テストバーンインテスタのバーンインボード2上にマトリクス状に配列されている被試験デバイス1にドライバ回路3から書き込みデータを出力して書き込みを行い、被試験デバイス1からの出力信号をコンパレータ回路4に入力して、コンパレータ回路4で被試験デバイス1の正否を判定し、判定の結果、被試験デバイス1からの出力信号が異常であると判定されると、トリガ回路Tをトリガして観測手段にドライバ回路3から出力されている書き込みデータ等の各種信号の観測を行い、被試験デバイス1側に異常があるのか、ドライバ回路3やコンパレータ回路4などのテストバーンインテスタ側に異常があるのかの判定を行う。



【特許請求の範囲】

【請求項1】 槽内の温度を自由に設定可能な恒温槽を有し、大量の被試験デバイス(1)を同時に試験するテストバーンインテスタにおいて、

前記被試験デバイス(1)を実装するバーンインボード(2)と、

前記被試験デバイス(1)のテスト実行時に被試験デバイス(1)に各種信号を供給するドライバ回路(3)と、

前記被試験デバイス(1)の出力信号と所定の基準信号とを比較して前記被試験デバイス(1)の正否を判断するコンパレータ回路(4)と、

前記コンパレータ回路(4)内の入出力信号を入力して前記被試験デバイス(1)の試験結果に不良が発生した時点で前記ドライバ回路(3)内の前記各種信号の観測を行うためにトリガがかかるトリガ回路(T)と、を備えることを特徴とするテストバーンインテスタ。

【請求項2】 請求項1記載のテストバーンインテスタにおいて、

前記トリガ回路(T)は、前記被試験デバイス(1)のテスト実行時に前記バーンインボード(2)上において縦列に前記被試験デバイス(1)が不良を発生した時点で前記ドライバ回路(3)から前記被試験デバイス(1)へ入力される不良となり得る信号の観測を行うためにトリガがかかるなどを特徴とするテストバーンインテスタ。

【請求項3】 請求項1記載のテストバーンインテスタにおいて、

前記トリガ回路(T)は、前記被試験デバイス(1)のテスト実行時に前記バーンインボード(2)上において横列に前記被試験デバイス(1)が不良を発生した時点で前記ドライバ回路(3)から前記被試験デバイス(1)へ入力される不良となり得る信号の観測を行うためにトリガがかかるなどを特徴とするテストバーンインテスタ。

【請求項4】 請求項1記載のテストバーンインテスタにおいて、

前記トリガ回路(T)は、前記被試験デバイス(1)のテスト実行時に前記バーンインボード(2)上において1列または複数列の組み合わせにおける前記被試験デバイス(1)が不良を発生した時点で前記ドライバ回路(3)から前記被試験デバイス(1)へ入力される不良となり得る信号の観測を行うためにトリガがかかるなどを特徴とするテストバーンインテスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、テストバーンインテスタで被試験デバイスをテストする際に、被試験デバイスがバーンインボード上での縦列、横列において、一列または複数列で被試験デバイスが不良になった時点で、被試験デバイスに入力させる信号が不良となり得る要因であるか、否かの観測を可能とするテストバーンインテスタに関する。

【0002】

【従来の技術】大量生産を行って完成した半導体デバイスは、欠陥を有するものがある。例えば、この完成した半導体デバイスの有する欠陥の例として、酸化膜のピンホール、オープンや短絡の原因となるホトレジスト塗布時やエッチング時の欠陥、チップ上やパッケージ内の汚染、損傷、などの種々の欠陥が想定される。このような欠陥のある半導体デバイスを排除するために、製造された半導体デバイスの出荷前にあらかじめ試験を行う必要があり、従来、この製造された半導体デバイスを大量に同時に試験を行うに際して、槽内の温度を自由に設定できる恒温槽を有するテストバーンインテスタにより行っている。

【0003】図1は後述するこの発明のテストバーンインテスタの原理的構成を示すブロック図であるが、従来のテストバーンインテスタの説明に際し、この図1を援用して説明する。

【0004】図1で、被試験デバイス1はテストバーンインテスタのバーンインボード2上に縦列にA1～An, B1～Bn, …, N1～Nnが配列され、行方向(以下、横列という)にA1, B1, …, N1, A2, B2, …, Bn, An, Bn, …, Nnが配列され、マトリクス状に実装されている。

【0005】これらの被試験デバイス1にドライバ回路3から試験を行う被試験デバイス1の縦列と横列を走査するためのスキャン信号sを送出するとともに、試験を行うべき所定位置の被試験デバイス1のアドレスを指定するためにクロック信号cのタイミングでアドレス信号aを送出する。さらに、このアドレス指定された被試験デバイス1に対してドライバ回路3からデータの書き込みを行う。

【0006】データの書き込みが行われた被試験デバイス1からの出力信号(書き込まれたデータ)をコンパレータ回路4に出力して、コンパレータ回路4で被試験デバイス1に書き込まれたデータの読み出しを行って、書き込まれたデータと正否判定用の所定の基準信号とを比較して、被試験デバイス1の正否の判定を行うようにしている。

【0007】

【発明が解決しようとする課題】このような従来のテストバーンインテスタにおいては、テストバーンインテスタで被試験デバイス1を試験し、どの試験項目で被試験デバイス1が縦列、横列において、一列または複数列の組み合わせで試験結果が不良になっているかを確認することができる利点を有する。

【0008】しかし、その反面、試験途中でのバーンインボード2上の被試験デバイス1が縦列、横列において一列または複数列の組み合わせにて不良が発生した時点で、被試験デバイス1へ入力させるドライバ回路3からの各種入力信号を観測することができない。

【0009】したがって、この不良発生時にドライバ回路3から被試験デバイス1に供給する書き込みデータが被試験デバイス1にどのような影響を及ぼしているのかを確認することができないとともに、テストバーンインテスタ側に不良があるのか、被試験デバイス側に不良があるのかの判別ができないという課題があった。

【0010】この発明は、被試験デバイスの試験中に不良になった時点での被試験デバイスに供給される信号の波形の観測と、ドライバ回路から被試験デバイスに供給するデータの及ぼしてしいる影響の確認とが可能で、かつ大量に試験するテストバーンインテスタ側に不良が発生しているのか、あるいは被試験デバイス側に不良が発生しているのかの判別を行うテストバーンインテスタを提供することを目的とする。

【0011】

【課題を解決するための手段】この目的を達成するためには、この発明のテストバーンインテスタは、槽内の温度を自由に設定可能な恒温槽を有し、大量の被試験デバイス1を同時に試験するテストバーンインテスタにおいて、被試験デバイス1が実装されるバーンインボード2と、被試験デバイス1のテスト実行時にこの被試験デバイス1に各種信号を供給するドライバ回路3と、被試験デバイス1の出力信号と所定の基準信号とを比較して被試験デバイス1の正否を判断するコンパレータ回路4と、コンパレータ回路4内の入出力信号を入力して被試験デバイス1の試験結果に不良が発生した時点でドライバ回路3内の各種信号の観測を行うためにトリガがかかるトリガ回路Tとを備える。

【0012】

【発明の実施の形態】次に、テストバーンインテスタの実施の形態について図1を参照して説明する。図1はこの発明の第1の実施の形態の原理的構成を示すブロック図である。図1で、前記「従来の技術」の説明の欄で説明した部分については、重複を避けるために再度の説明を省略し、この第1の実施の形態の特徴とする部分について重点的に述べることにする。

【0013】第1の実施の形態においては、被試験デバイス1、バーンインボード2、ドライバ回路3、コンパレータ回路4の部分については従来と同様であるが、新たにトリガ回路Tが追加されている。

【0014】トリガ回路Tは、コンパレータ回路4において、被試験デバイス1に不良が発生したことを判定した時点で、コンパレータ回路4内の入出力信号、すなわち、コンパレータ回路4に入力される被試験デバイス1の試験時のドライバ回路3から書き込まれたデータの読み出し信号と、コンパレータ回路4から被試験デバイス1に送出される信号とが入力されて、トリガがかかる構成になっている。

【0015】トリガ回路Tがトリガされると、ドライバ回路3から被試験デバイス1に供給される書き込みデータなどの各種信号の波形を図示しない観測手段において観測可能にしており、その観測結果により、被試験デバイス1に与える書き込みデータなどの各種信号が何らかの影響を及ぼしているのか、つまりテストバーンインテスタ側に異常があるのか、あるいは被試験デバイス1側に不良が発生しているのかの判定が可能となる。

【0016】次に、第1の実施の形態の動作について説明する。被試験デバイス1にドライバ回路3から試験を行なう被試験デバイス1の縦列と横列を走査するためのスキャニング信号sを送出するとともに、試験を行うべき所定位置の被試験デバイス1のアドレスを指定するためにクロック信号cのタイミングでアドレス信号aを送出する。

【0017】アドレス信号aによりアドレス指定された被試験デバイス1に対してドライバ回路3からデータの書き込みを行う。データの書き込みが行われた被試験デバイス1からの出力信号をコンパレータ回路4に出力して、このコンパレータ回路4において被試験デバイス1に書き込まれたデータの読み出しを行い、書き込まれたデータと正否判定用の所定の基準信号とを比較して、被試験デバイス1の正否の判定を行う。この判定時に、被試験デバイス1が異常であると判定された時点で、コンパレータ回路4の入出力信号により、トリガ回路Tがトリガされる。

【0018】トリガ回路Tがトリガされることによって、トリガ回路Tによりドライバ回路3から被試験デバイス1に供給されている試験用の書き込みデータなどの各種信号の波形を観測手段により観測する。この観測により、被試験デバイス1のバーンインボード2上における縦列、横列において、所定の被試験デバイス1にドライバ回路3から供給される書き込みデータが正常か否かの判定が可能となる。

【0019】この判定の結果、書き込みデータが被試験デバイス1に対して影響を与えていたのか、つまり、テストバーンインテスタ側に異常があるのか、あるいは被試験デバイス1側に異常があるのかの判定が可能となる。

【0020】次に、この発明の第2の実施の形態について図2を参照して説明する。図2では、トリガ回路Tはバーンインボード2上に縦列に実装されている被試験デバイス1からの信号のみを取り扱うようにしており、バーンインボード2上に実装されている縦列の被試験デバイス1に異常がある場合に、コンパレータ回路4の入出力信号によりトリガされるトリガ回路Tの構成を示すブロック図である。

【0021】トリガ回路T内の NANDゲート 5a, 5b の入力端にコンパレータ回路4からの入出力信号が入力され、NANDゲート 5a, 5b の各出力端からそれぞれバーンインボード2上に実装されている被試験デバイス1の縦列半分不良のトリガポイント 5c, 5d を指示す

る信号が出力されるとともに、 NANDゲート 5a, 5b の各出力端はノアゲート 5e の入力端に接続されている。ノアゲート 5e の出力端からはバーンインボード 2 上に実装されている被試験デバイス 1 の縦列全体不良のトリガポイント f を指示する信号が出力される。

【0022】このようにトリガ回路 T を構成することにより、被試験デバイス 1 にドライバ回路 3 から試験を行う被試験デバイス 1 の縦列を走査するためのスキャン信号 s を送出するとともに、被試験デバイス 1 のアドレスを指定するためにクロック信号 c のタイミングでアドレス信号 a を送出する。

【0023】このアドレス信号 a により縦列の上半分と下半分のアドレス指定された被試験デバイス 1 に対してドライバ回路 3 からデータの書き込みを行う。縦列の上半分と下半分のデータの書き込みが行われた被試験デバイス 1 からの出力信号をコンパレータ回路 4 に出力して、このコンパレータ回路 4 において縦列の上半分と下半分の被試験デバイス 1 に書き込まれたデータの読み出しを行って、書き込まれたデータと正否判定用の所定の基準信号とを比較して、被試験デバイス 1 の正否の判定を行う。

【0024】この判定時に、被試験デバイス 1 が異常であると判定された時点で、コンパレータ回路 4 のバーンインボード 2 上に実装されている被試験デバイス 1 の縦列の上半分と、下半分に対応する入出力信号により、縦列の上半分と下半分の被試験デバイス 1 に異常がある場合に、トリガ回路 T 内の NANDゲート 5a, 5b がそれぞれ縦列の上半分と下半分のこの入出力信号を入力して論理処理を行い、それぞれ縦列の上半分と下半分の被試験デバイス 1 に対応してトリガポイント 5c, 5d を指示する信号を出力する。

【0025】さらに、縦列全体の被試験デバイス 1 に異常がある場合に、この NANDゲート 5a, 5b の出力をノアゲート 5e に出力し、このノアゲート 5e で論理をとり、縦列全体の被試験デバイス 1 に対応してトリガポイント 5f を指示する信号を出力する。

【0026】このようにして、縦列の被試験デバイス 1 の不良検出時にトリガ回路 T をトリガさせることにより、ドライバ回路 3 から被試験デバイス 1 に送出される書き込みデータの観測を行うことができ、その観測結果から縦列の被試験デバイス 1 側、あるいはテストバーンインテスト側に異常があるか、否かの判断が可能となる。

【0027】次に、この発明の第 3 の実施の形態について図 3 を参照して説明する。図 3 は第 3 の実施の形態におけるトリガ回路 T の内部構成を示すブロック図である。図 3 の場合には、バーンインボード 2 上に実装されている被試験デバイス 1 の横列における被試験デバイスの不良検出時におけるトリガ回路 T がトリガされる場合の実施の形態を示すものである。

【0028】図 3 において、バーンインボード 2 上に実装されている被試験デバイス 1 の横 1 列全体の不良検出時に、この被試験デバイス 1 の横 1 列全体の出力数に対応するコンパレータ回路 4 からの入出力信号がトリガ回路 T 内の NANDゲート 6a～6d に入力され、各 NANDゲート 6a～6d の出力端からそれぞれ被試験デバイス 1 の横 1 列全体の不良のトリガポイント 6e～6h を指示する信号を出力する。

【0029】また、NANDゲート 6a, 6b の出力端はノアゲート 6i の入力端に接続され、ノアゲート 6i の出力端から被試験デバイス 1 の横 2 列全体の不良検出時に、この被試験デバイス 1 の横 2 列全体の不良を指示するトリガポイント 6k を指示する信号を出力する。

【0030】同様にして、NANDゲート 6c, 6d の出力端はノアゲート 6j の入力端に接続され、ノアゲート 6j の出力端から被試験デバイス 1 の横 2 列全体の不良検出時に、この被試験デバイス 1 の横 2 列全体の不良を指示するトリガポイント 6l を指示する信号を出力する。

【0031】NANDゲート 6i と 6j の出力端はアンドゲート 6m の入力端に接続されており、このアンドゲート 6m の出力端からバーンインボード 2 上に配列されている横 4 列全体の被試験デバイス 1 の不良を指示するトリガポイント 6n を指示する信号を出力する。

【0032】この第 3 の実施の形態では、バーンインボード 2 上に横列に実装されている被試験デバイス 1 からの信号のみを取り扱うようにしておらず、被試験デバイス 1 にドライバ回路 3 から試験を行う被試験デバイス 1 の横 1 列を走査するためのスキャン信号 s を送出するとともに、被試験デバイス 1 のアドレスを指定するためにクロック信号 c のタイミングでアドレス信号 a を送出する。

【0033】アドレス信号 a により、横 1 列のアドレス指定された被試験デバイス 1 に対してドライバ回路 3 からデータ書き込みを行う。横 1 列全体の書き込みが行われた被試験デバイス 1 からの出力信号をコンパレータ回路 4 に出力して、コンパレータ回路 4 において、横 1 列の被試験デバイス 1 に書き込まれたデータの読み出しを行って、書き込まれたデータと所定の基準信号とを比較して、被試験デバイス 1 の正否の判定を行う。

【0034】この判定時に、被試験デバイス 1 に異常があると判定された時点で、コンパレータ回路 4 のバーンインボード 2 上に実装されている被試験デバイス 1 の横 1 列全体に対応する入出力信号により、トリガ回路 T 内の NANDゲート 6a～6d が論理処理を行って、横 1 列全体の被試験デバイス 1 の不良に対応するトリガポイント 6e～6h を指示する信号を出力する。

【0035】また、NANDゲート 6a と 6b の出力信号をノアゲート 6i に入力させて、ノアゲート 6i で論理処理を行うことにより、横 2 列全体の被試験デバイス 1

の不良に対応するトリガポイント6kを指示する信号を出力する。

【0036】同様にして、 NANDゲート6cと6dの出力信号をノアゲート6jに入力させて、ノアゲート6jで論理処理を行うことにより、横2列全体の被試験デバイス1の不良に対応するトリガポイント6lを指示する信号を出力する。さらに、ノアゲート6iと6jの各出力をアンドゲート6mに出力し、このアンドゲート6mで論理処理を行って横4列全体の被試験デバイス1の不良に対応するトリガポイント6nを指示する信号を出力する。

【0037】このように、第3の実施の形態では、バーンインボード2上での被試験デバイス1横列に不良が検出されたときに、トリガ回路Tをトリガさせることにより、ドライバ回路3から被試験デバイス1に送出される書き込みデータの観測を行うことができ、その観測結果から横列の被試験デバイス1側、あるいはテストバーンインテスタ側に異常があるか否かの判断が可能となる。

【0038】次に、この発明の第4の実施の形態について図4を参照して説明する。図4はトリガ回路Tの構成を示すブロック図である。図4では、バーンインボード2上の1列または複数列にて被試験デバイス1の異常が検出された場合にトリガされる場合を示している。

【0039】図4で、バーンインボード2上に実装されている被試験デバイス1の1列または複数列の任意のブロックの被試験デバイス1の異常が検出された場合に、そのブロックの被試験デバイス1の出力数に対応するコンパレータ回路4からのブロックごとに対応する出力信号がトリガ回路T内の NANDゲート7a～7dに入力される。

【0040】 NANDゲート7aと7bの出力端はノアゲート7eの入力端に接続され、 NANDゲート7cと7dの出力端はノアゲート7fの入力端に接続されている。ノアゲート7eの出力端からバーンインボード2上に実装されている被試験デバイス1の1列または複数列の任意のブロックの被試験デバイス1の異常検出時に、この任意のブロックの被試験デバイスのトリガポイント7gを指示する信号を出力する。

【0041】同様にして、ノアゲート7fの出力端からバーンインボード2上に実装されている被試験デバイス1の1列または複数列の任意のブロックの被試験デバイス1の異常検出時に、この任意のブロックの被試験デバイスのトリガポイント7hを指示する信号を出力する。

【0042】また、ノアゲート7eの出力端とノアゲート7fの出力端はアンドゲート7iの入力端に接続されている。アンドゲート7iの出力端から、バーンインボード2上に実装されている被試験デバイス1の全ブロックの被試験デバイス1の異常検出時に全ブロックの被試験デバイスのトリガポイント7jを指示する信号を出力する。

【0043】第4の実施の形態においては、ドライバ回路3からバーンインボード2上に実装されている被試験デバイス1に書き込みデータなどの各種信号を送出して、この被試験デバイス1の出力信号がコンパレータ回路4内に転送され、コンパレータ回路4内で所定の基準信号との比較を行って、被試験デバイス1が正常か否かの検査を行う。

【0044】検査の結果、被試験デバイス1に異常があると判断された場合には、コンパレータ回路4内の出力信号がトリガ回路T内の NANDゲート7a～7dに出力され、この NANDゲート7a～7dにおいてそれぞれ論理処理を行う。 NANDゲート7aと7bの出力信号がノアゲート7eに出力される。同様にして、 NANDゲート7cと7dの出力信号がノアゲート7fに出力される。

【0045】ノアゲート7eと7fがそれぞれ論理処理を行い、ノアゲート7eからバーンインボード2上に実装されている被試験デバイス1の任意のブロックに不良が発生しているとして、このブロックに対応する被試験デバイス1のトリガポイント7gを指示する信号を発生する。

【0046】同じく、ノアゲート7fからバーンインボード2上に実装されている被試験デバイス1の任意のブロックに不良が発生しているとして、このブロックに対応する被試験デバイス1のトリガポイント7hを指示する信号を発生する。

【0047】また、ノアゲート7eと7fの出力信号がアンドゲート7iに出力され、アンドゲート7iが論理処理を行って、バーンインボード2上に実装されている被試験デバイス1の全ブロックに不良が発生しているとして被試験デバイス1のトリガポイント7jを指示する信号を出力する。

【0048】このようにして、トリガ回路T内でトリガポイント7g、7h、7jを指示する信号が出力されることにより、つまり、トリガ回路Tがトリガされると、バーンインボード2上に実装されている被試験デバイス1の任意のブロックあるいは全ブロックの被試験デバイス1に不良が発生していることになり、このとき、トリガ回路Tによりドライバ回路3から被試験デバイス1に送出される書き込みデータなどの各種信号の波形観測を観測手段に行わせることにより、その観測結果から被試験デバイス1に異常があるのか、あるいはテストバーンインテスタ側、たとえば、ドライバ回路3から出力される書き込みデータに異常があるのかの判断ができる。

【0049】

【発明の効果】この発明のテストバーンインテスタによれば、バーンインボード上に実装されている被試験デバイスにドライバ回路から各種信号を送出し、この各種信号の送出時に被試験デバイスの出力信号をコンパレータ回路で所定の基準信号と比較して、被試験デバイスの出力信号に異常があると判定した場合には、トリガ回路を

トリガさせ、観測手段によりドライバ回路から被試験デバイスに送出される各種信号の観測を行うようにしたので、被試験デバイスに異常があるのか、ドライバ回路やコンパレータ回路などのテストバーンインテスタ側から出力される各種信号が被試験デバイスに影響を与えていているのかの判断ができる。これにともない、大量に被試験デバイスの試験を行うテストバーンインテスタにおいて、被試験デバイスの試験の効率を向上することができる。

【図面の簡単な説明】

【図1】この発明のテストバーンインテスタの第1の実施の形態の原理的構成を示すブロック図である。

【図2】この発明のテストバーンインテスタの第2の実施の形態におけるトリガ回路の構成を示すブロック図である。

【図3】この発明のテストバーンインテスタの第3の実施の形態におけるトリガ回路の構成を示すブロック図である。

【図4】この発明のテストバーンインテスタの第4の実施の形態におけるトリガ回路の構成を示すブロック図である。

【符号の説明】

1 被試験デバイス

2 バーンインボード

3 ドライバ回路

4 コンパレータ回路

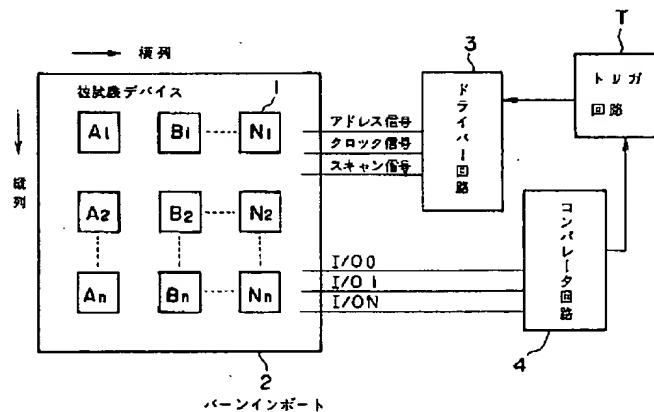
5a, 5b, 6a~6d, 7a~7d ナンドゲート

5e, 6i, 6j, 7e, 7f ノアゲート

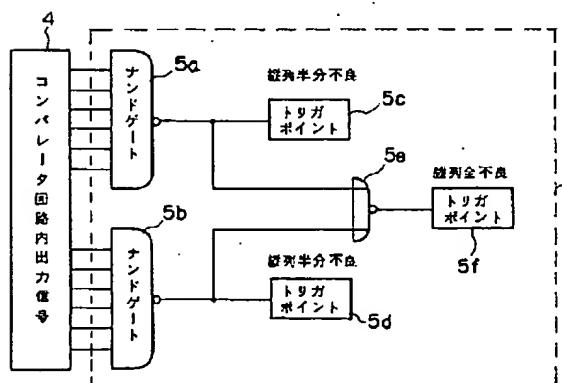
6m, 7i アンドゲート

T トリガ回路

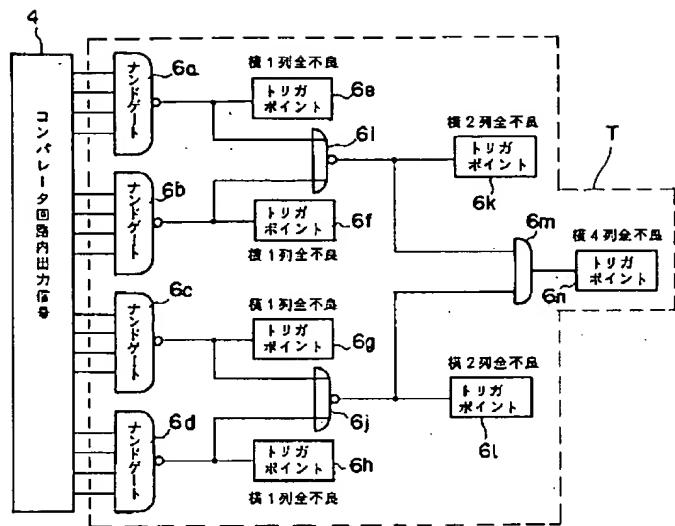
【図1】



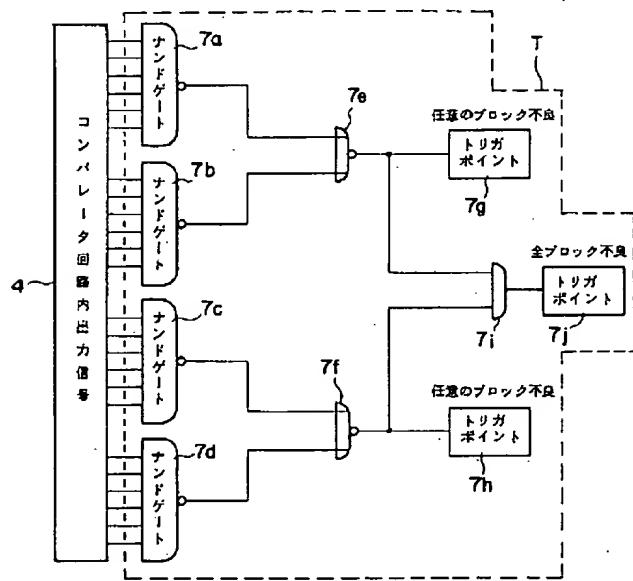
【図2】



【図3】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.